Titel

AEOS - Aktororientierte Synthese und Optimierung digitaler HW/SW-Systeme auf Systemebene (DFG)

Kurzbeschreibung

Während Entwurfsverfahren sowohl für Hardware als auch Software auf niedrigen Abstraktionsebenen mittlerweile weitgehend automatisiert sind, fehlt es nach wie vor an entsprechenden Verfahren für eingebettete Rechensysteme auf Systemebene. Dies ist umso bedenklicher, da Fehlentscheidungen auf dieser Ebene einen enormen Einfluss auf die Optimalität der entwickelten Produkte besitzen, und sich in späteren Entwurfsphasen nicht mehr mit vertretbarem Aufwand revidieren lassen.

Ziel des Projekts ist daher die Konzeption und Evaluierung automatischer Methoden zur Synthese und Optimierung von eingebetteten digitalen Hardware/Software-Systemen auf der Systemebene. Die entwickelten Methoden sollen in die bestehende Entwurfsraumexploration integriert werden, um unterschiedliche, aber dennoch optimale Hardware/Software-Lösungen synthetisieren zu können.

Thematisch lässt sich das Projekt somit in zwei Bereiche einteilen:

1. Methoden zur aktorbasierten Softwaresynthese (insbesondere Multiprozessor-Ablaufplanung)

Hier werden im Rahmen des Projekts formale Methoden zur Modellverfeinerung, insbesondere zum Clustering und zur Ablaufplanung von aktorbasierten Modellen entwickelt und untersucht. Durch das Clustering statischer Teilgraphen ist zu erwarten, dass der Scheduling-Overhead insbesondere für diese Systeme signifikant reduziert wird.

2. Methoden zur aktorbasierten Hardwaresynthese

Um optimale Ergebnisse für das Gesamtsystem zu erzielen, ist neben der automatischen Synthese einzelner Module der Anwendung eine integrierte, automatische Kommunikationssynthese notwendig. Während für die Verhaltenssynthese heutzutage kommerzielle Werkzeuge verfügbar sind, ist die Implementierung der Kommunikation mit anderen Hardware- oder Software-Modulen nach wie vor eine manuelle und nachgelagerte Aufgabe.

Der hier verfolge aktororientierte Ansatz soll die Möglichkeit bieten, auch diese Aufgabe zu automatisieren und somit Aktoren unabhängig von ihrer Implementierungsart miteinander zu verbinden.

Darüber hinaus ist eine prototypische Evaluierung der erreichten Güte anhand einer industriellen Fallstudie geplant.

Förderung

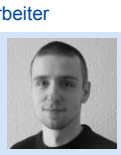
- Dieses Projekt wird gefördert durch die DFG

Deutsche Forschungsgemeinschaft DFG

Laufzeit

- 01.02.2013 - 30.09.2015

Bearbeiter



M.Sc. Jens Rudolf
E-Mail
Tel.: +49 381 498 7288
Raum: W1336

M.Sc. Florian Grützmacher
E-mail
Tel.: +49 381 498 7289
Raum: W1337

Prof. Dr.-Ing. habil. Christian Haubelt
E-Mail
Tel.: +49 381 498 7280
Fax: +49 381 498 118 7280
Raum: W1201

Veröffentlichungen

Marc Geilen, Joachim Falk, Christian Haubelt, Twan Basten, Bart Theelen, Sander Stuijk:
Performance Analysis of Weakly-Consistent Scenario-Aware Dataflow Graphs
In the Journal of Signal Processing Systems, ISSN: 1939-8018, Springer US, Heidelberg, Deutschland, Oktober 2016 (to appear)

Florian Grützmacher, Benjamin Beichler, Bart Theelen, Christian Haubelt:
Dataflow-based Modeling and Performance Analysis for Online Gesture Recognition
In Proceedings of the Second International Workshop on modeling, analysis and control of complex Cyber-Physical Systems (CPSData'16), pp. 1-8, Wien, Österreich, April 2016

Florian Grützmacher, Johann-Peter Wolff, Christian Haubelt:
Sensor-Based Online Hand Gesture Recognition on Multi-Core DSPs
In Proceedings of the Symposium on Signal Processing on Graphics Processing Units and Multicores (GlobalSIP), pp. 898-902, Orlando, Florida, USA, Dezember 2015

Joachim Falk, Tobias Schwarzer, Michael Glaß, Jürgen Teich, Christian Zebelein, Christian Haubelt:
Quasi-Static Scheduling of Data Flow Graphs in the Presence of Limited Channel Capacities
In Proceedings of the IEEE Symposium on Embedded Systems for Real-time Multimedia (ESTIMEdia'15), pp. 29-38, Amsterdam, Niederlande, Oktober 2015

Florian Grützmacher, Johann-Peter Wolff, Christian Haubelt:
Exploiting Thread-Level Parallelism in Template-Based Gesture Recognition with Dynamic Time Warping
In Proceedings of the International Workshop on Sensor-based Activity Recognition and Interaction (iWoAR'15), pp. 6:1 – 6:6, Rostock, Deutschland, Juni, 2015

Tobias Schwarzer, Joachim Falk, Michael Glaß, Jürgen Teich, Christian Zebelein, Christian Haubelt:
Throughput-optimizing Compilation of Dataflow Applications for Multi-Cores using Quasi-Static Scheduling
In Proceedings of the International Workshop on Software and Compilers for Embedded Systems (SCOPES'15), pp. 68 – 75, St. Goar, Deutschland, Juni 2015

Marc Geilen, Joachim Falk, Christian Haubelt, Twan Basten, Bart Theelen, Sander Stuijk
Performance Analysis of Weakly-Consistent Scenario-Aware Dataflow Graphs In Proceeding of the Asilomar Conference on Signals, Systems, and Computers, Pacific Grove, CA, pp. 393-397, USA, November 2014

Zebelein, C.; Haubelt, C.; Falk, J.; Schwarzer, T.; Teich, J.
Model-Based Actor Multiplexing with Application to Complex Communication Protocols
In Proceedings of Design, Automation and Test in Europe (DATE'14), pp. 1-4, Dresden, Deutschland, März 2014

Haubelt, C.; Ludwig, F.; Middendorf, L.; Zebelein, C.
Using Stream Rewriting for Mapping and Scheduling Data Flow Graphs onto Many-Core Architectures
In Proceeding of the Asilomar Conference on Signals, Systems, and Computers, pp. 1431-1435, Pacific Grove CA, USA, November 2013

Zebelein, C.; Haubelt, C.; Falk, J.; Schwarzer, T.; Teich, J.
Representing Mapping and Scheduling Decisions within Dataflow Graphs
In Forum on specification and Design Languages (FDL), pp. 1-8, Paris, Frankreich, September 2013

Middendorf, L.; Zebelein, C.; Haubelt, C.
Dynamic Task Mapping onto Multi-Core Architectures through Stream Rewriting
In Proceedings of the International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation, pp. 196-204, Samos, Greece, Juli 2013

Falk, J.; Haubelt, C.; Zebelein, C.; Teich, J.
Integrated Modeling Using Finite State Machines and Dataflow Graphs.
In Handbook of Signal Processing Systems, 2nd ed., pp. 975-1013, ISBN: 978-1-4614-6858-5 , New York, USA, Juni 2013

Falk, J.; Zebelein, C.; Haubelt, C.; Teich, J.
A Rule-Based Quasi-Static Scheduling Approach for Static Islands in Dynamic Dataflow Graphs
ACM Transactions on Embedded Computing Systems, ISSN: 1539-9087, Vol. 12, No. 3, pp. 74:1-74:31, DOI: 10.1145/2442116.2442124, New York, U.S.A., April 2013

Zebelein, C.; Haubelt, C.; Falk, J.; Teich, J.
Model-Based Representation of Schedules for Dataflow Graphs
16. Workshop Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen (MBMV 2013), pp. 105-116, ISBN: 978-3-86009-147-0, Rostock-Warnemünde, Deutschland, März 2013

Zebelein, C.; Falk, J.; Haubelt, C.; Teich, J.
A Model-Based Inter-Process Resource Sharing Approach for High-Level Synthesis of Dataflow Graphs
ESLsyn 2012, ISBN: 978-2-9539987-1-9, San Francisco, USA, Juni 2012

Zebelein, C.; Falk, J.; Haubelt, C.; Teich, J.
Exploiting Model-Knowledge in High-Level Synthesis
15. Workshop für Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen (MBMV'12), pp. 181-191, Kaiserslautern, Deutschland, März 2012

Falk, J.; Zebelein, C.; Haubelt, C.; Teich, J.
A Rule-Based Static Dataflow Clustering Algorithm for Efficient Embedded Software Synthesis
Design, Automation and Test in Europe, pp. 1-6, ISBN: 978-3-9810801-7-9, Grenoble, France, März 2011

Falk, J.; Zebelein, C.; Keinert, J.; Haubelt, C.; Teich, J.; Bhattacharyya, S.
Analysis of SystemC Actor Networks for Efficient Synthesis
ACM Transactions on Embedded Computing Systems, New York, U.S.A., Dezember 2010

Falk, J.; Keinert, J.; Zebelein, C.; Haubelt, C.; Teich, J.
Integrated Modeling Using Finite State Machines and Dataflow Graphs
Handbook of Signal Processing Systems, Rostock, Deutschland, Oktober 2010

Zebelein, C.; Falk, J.; Haubelt, C.; Teich, J.; Dorsch, R.
Efficient High-Level Modeling in the Networking Domain
Proceedings of Design, Automation and Test in Europe (DATE 2010), Dresden, Germany, März 2010

Falk, J.; Zebelein, C.; Haubelt, C.; Teich, J.; Dorsch, R.
Integrating Hardware/Firmware Verification Efforts Using SystemC High-Level Models
Tagungsband des 13. ITG/GI/GMM Workshops für Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen, Dresden, Germany, Februar 2010

Zebelein, C.; Falk, J.; Haubelt, C.; Teich, J.
Classification of General Data Flow Actors into Known Models of Computation
In Proceedings of the Sixth ACM/IEEE International Conference on Formal Methods and Models for Codesign (MEMOCODE'2008), pp. 119-128 , Anaheim, CA, USA, Juni 2008

Kontakt
Fakultät für Informatik und Elektrotechnik
Institut für Angewandte Mikroelektronik und Datentechnik
Haus 1, Raum 1207 (Sekretariat)
Richard Wagner Str. 31
18 119 Rostock-Warnemünde
Telefon: +49 381 498 72 51
Fax: +49 381 498-118 72 51

Schnelleinstieg
- Publikationen
- Anfahrt
- Kontakt
- Laborpraktikum
- Lehrangebot
- Highlights
- Projekte